

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-260833

(43)Date of publication of application : 29.09.1998

(51)Int.Cl.

G06F 9/38

(21)Application number : 09-066632

(71)Applicant : HITACHI LTD

(22)Date of filing : 19.03.1997

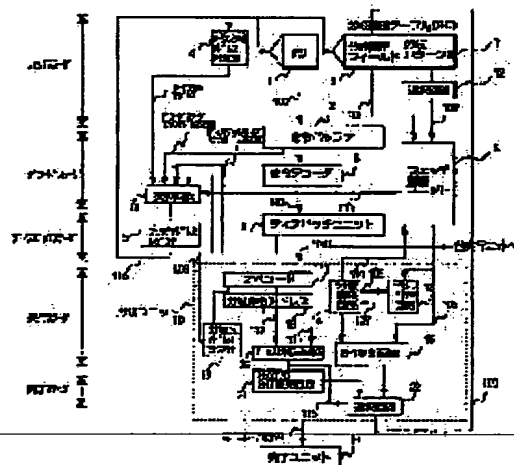
(72)Inventor : IMORI HIROMITSU
IMON TOKUYASU

(54) PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a processor effectively improved in processing performance, by correctly estimating a branch solution direction from a branch history table.

SOLUTION: In this processor provided with at least a branch history table, an instruction bit (H bit) is provided in a branch instruction. The H bit is set by a compiler when branch formation and its failure are estimated with high probability through the analysis, etc., of an instruction string to be executed. When a branch solution circuit 14 reports that the solution result of a branch instruction is erroneously estimated by the branch history table, information that is created by a BHT(branch history table) updating circuit 21 for H bit is registered in the branch history table without the H bit depending on the output result of the branch history table. With this, the branch history table correctly estimate a branch solution direction after that, and the processing performance of the processor is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-260833

(43) 公開日 平成10年(1998) 9月29日

(51) Int. Cl.⁶

G 0 6 F 9/38

識別記号

3 3 0

F I

G 0 6 F 9/38

3 3 0 B

審査請求 未請求 請求項の数2 O L (全 9 頁)

(21) 出願番号 特願平9-66632

(22) 出願日 平成9年(1997) 3月19日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 位守 弘充

神奈川県秦野市堀山下1番地 株式会社日

立製作所汎用コンピュータ事業部内

(72) 発明者 井門 徳安

神奈川県秦野市堀山下1番地 株式会社日

立製作所汎用コンピュータ事業部内

(74) 代理人 弁理士 武 顕次郎

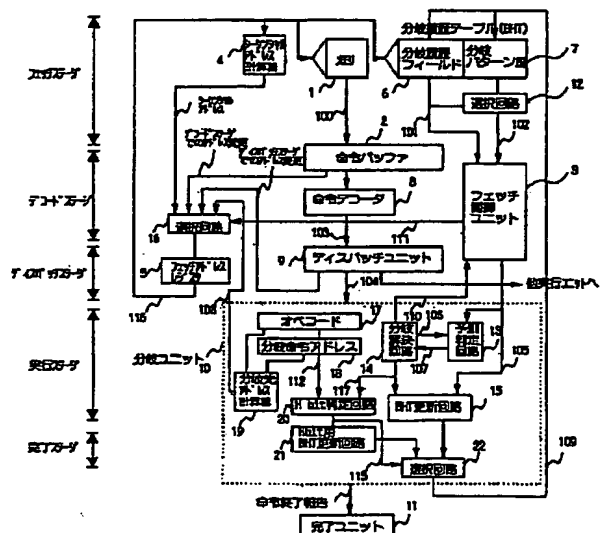
(54) 【発明の名称】 プロセッサ

(57) 【要約】

【課題】 分岐履歴テーブルから分岐解決方向を正しく予測することにより、処理性能の向上を効果的に図ったプロセッサを得る。

【解決手段】 少なくとも分岐履歴テーブルを備えたプロセッサにおいて、分岐命令の中に指示ビット(Hビット)を設ける。Hビットは、コンパイラにより、実行する命令列の解析等より分岐成立、不成立を高い確率で予測できる場合に設定される。分岐命令の解決結果が分岐履歴テーブルにより誤って予測されたことを分岐解決回路14が報告した場合に、前記Hビットにより前記分岐履歴テーブルの出力結果に依存せずHビット用BHT更新回路21により生成された情報が分岐履歴テーブルに登録される。これにより分岐履歴テーブルは以降分岐解決方向の予測を正しく行うことができ、プロセッサの処理性能の向上を図ることができる。

【図1】



【特許請求の範囲】

【請求項1】 分岐命令の解決方向を予測する分岐予測機構と、複数の分岐命令の履歴情報を格納する複数のエントリの分岐履歴テーブルと、分岐命令の分岐解決結果により前記分岐履歴テーブルを更新する分岐履歴テーブル更新手段と、分岐命令解決時に該分岐命令が前記分岐履歴テーブルにより該分岐命令の解決方向が誤って予測されたか否かを判定する判定手段とを備えるプロセッサにおいて、前記分岐命令に指示情報を設け、前記判定手段により分岐命令の解決方向が誤って予測されたことが判明した場合、前記指示情報の内容により前記分岐履歴テーブルの出力結果に依存することなく前記分岐履歴テーブル内の情報を更新する更新手段を備えることを特徴とするプロセッサ。

【請求項2】 前記分岐履歴テーブル内の出力結果に基づいて分岐履歴テーブル内の履歴情報を更新する更新手段をさらに備え、前記判定手段により分岐命令の解決方向が誤って予測されたことが判明した場合、分岐解決結果により、前記分岐履歴テーブル内の出力結果に依存することなく分岐履歴テーブル内の履歴情報を更新するか、前記分岐履歴テーブル内の出力結果に基づいて分岐履歴テーブル内の履歴情報を更新するかを前記指示情報により選択することを特徴とする請求項1記載のプロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プロセッサに係り、特に、分岐命令の解決方向を予測する分岐履歴テーブルを備えたプロセッサに関する。

【0002】

【従来の技術】近年、プロセッサの性能が飛躍的に向上している。この背景として、集積回路技術の進歩による動作周波数の向上及びスーパースカラ方式等の処理方式の向上が挙げられる。

【0003】現在のプロセッサは、スーパースカラ処理方式をさらに発展させ、命令レベルの並列性を抽出し、複数の命令を並列に実行するだけでなく、命令プログラム順を追い越して命令を実行するout of order制御により高いIPC(Instruction PerCycle)を達成している。また、現在のプロセッサは、分岐命令によるパイプラインの乱れを軽減するため高度な分岐予測機構を有し、予測された命令経路の命令の先取りをするだけでなく、実行に影響を及ぼす全ての原因が判明する以前に先取りした命令を実行してしまう投機実行を行うプロセッサも存在する。

【0004】前述のようなプロセッサは、精巧な分岐予測機構が重要となる。この理由は、もし分岐予測機構が分岐命令の解決方向を誤って予測すると、プロセッサが投機実行の命令を間違った経路で実行することになり、投機実行した命令を全てキャンセルし、正しいアドレス

で再実行しなければならないことになるからである。

【0005】この分岐予測機構に関する従来技術として、例えば、論文J.E. Smith, "A Study of Branch Prediction Strategies", Proceedings of the 8th International Symposium on Computer Architecture, May. 1981, pp135-148に記載された技術が知られている。この従来技術は、2ビットの飽和上下カウンタを用いて、強い分岐成立(Strong-Taken)、弱い分岐成立(Weak-Taken)、弱い分岐不成立(Weak-Not-Taken)、強い分岐不成立(Strong-Not-Taken)の4つの状態で分岐解決方向を表現するものである。

【0006】この従来技術は、2ビットのカウンタが強い分岐成立、弱い分岐成立を示す場合に、分岐解決方向を分岐成立と予測し、2ビットのカウンタが弱い分岐不成立、強い分岐不成立を示す場合に、分岐解決方向を分岐不成立と予測するものである。そして、予測した分岐命令の解決時に、予測成功時、対応するカウンタが弱い分岐成立を示していれば、カウンタを強い分岐成立を示す状態に更新し、また、カウンタが強い分岐成立を示していれば、カウンタをそのままの状態となるように更新する。また、予測失敗時、対応するカウンタが強い分岐成立を示していれば、カウンタを弱い分岐成立を示す状態に更新し、また、カウンタが弱い分岐成立を示していれば、カウンタが弱い分岐不成立を示す状態に更新する。次の同じ分岐命令は、この更新結果のカウンタ値を用いて分岐命令の分岐解決方向が予測される。

【0007】また、分岐予測機構に関する他の従来技術として、T.Y. Yeh and Y.N. Patt "Two-Level Adaptive Branch Prediction", Proceedings of the 24th Annual ACM/IEEE International Symposium and Workshop on Microarchitecture, Nov. 1991, pp. 51-61に記載された技術が知られている。この従来技術は、2段階適用分岐予測機構と呼ばれるものであり、第1段階として過去数回の分岐命令の結果の履歴を分岐履歴フィールドに記憶する。この履歴は、分岐不成立時"0"、分岐成立時"1"として表わされる。次の第2段階として前記分岐履歴フィールドをインデクスとして分岐パターン履歴を検索する。分岐パターン履歴は、前述した2ビットカウンタで構成されることが多い。分岐命令は、この2ビットカウンタ値を用いて分岐解決方向の予測を行う。予測した分岐命令の解決時に予測成功であれば、まず、分岐パターン履歴を前記J.E. Smith のアルゴリズムにより更新する。その後、分岐成立であれば分岐履歴に分岐成立として1を加え、分岐不成立であれば分岐履歴に0を加える。

【0008】図5は従来技術によるプロセッサの構成を示すブロック図であり、以下、図5を参照して従来技術のプロセッサについて説明する。図5において、1はメモリ、2は命令バッファ、3はフェッチ制御ユニット、4はシーケンシャルアドレス計算器、5はフェッチアド

レジスタ、6は分岐履歴フィールド、7は分岐パターン歴、8は命令デコーダ、9はディスパッチユニット、10は分岐ユニット、11は完了ユニット、12、16は選択回路、13は予測判定回路、14は分岐解決回路、15はBHT更新回路、17はオペコード、18は分岐命令アドレス、19は分岐先アドレス計算器である。

【0009】図5に示す従来技術によるプロセッサは、フェッチ、デコード、命令実行等の主要処理が並行して処理できるようにパイプライン化されたプロセッサである。そして、前記プロセッサは、フェッチ、デコード、ディスパッチ、実行、完了の5つのパイプラインステージにより構成される。

【0010】フェッチステージは、キャッシュあるいは主記憶であるメモリ1から命令を取り出し、命令バッファ2に命令を格納するステージである。以後説明する各ステージからのアドレス変更要求がない限り、フェッチ制御ユニット3は、シーケンシャルアドレス計算器4の出力結果をフェッチアドレスレジスタ5に格納する。また、図5に示すプロセッサは、分岐命令によるパイプラインの乱れを軽減するため分岐履歴テーブルBHT(Branch History Table)を備えており、BHTは、各エントリ毎に分岐履歴フィールド6と分岐パターン歴7とにより構成されている。また、フェッチステージにおいて、キャッシュ検索(メモリ1の検索)と同時に前記BHTの検索が行われ、フェッチする命令中に分岐命令が存在する場合、前記分岐命令の予測状態を示す分岐履歴フィールド6及び分岐パターン歴7がBHTより出力結果として得られる。

【0011】デコードステージは、命令バッファ2内の命令を命令デコーダ8によりデコードし、ディスパッチユニット9が使用するための多数の制御信号を生成してディスパッチユニット9に転送するステージである。フェッチ制御ユニット3は、当該デコードステージにおいて、前述のフェッチステージより得られた分岐履歴フィールドの値及び分岐パターン歴を用いて分岐命令の解決方向を予測する。

【0012】ディスパッチステージは、ディスパッチユニット9が許されないデータまたは資源の依存状態がないことを判定した後、各命令を各命令処理ユニットにディスパッチするステージである。例えば、ディスパッチユニット9は、分岐命令を分岐ユニット10にディスパッチする。また、フェッチ制御ユニット3は、当該ディスパッチステージにおいて条件分岐の分岐解決を試みる。前記分岐命令の条件がすでに確定している場合に、このディスパッチステージにおいて分岐が解決される。分岐解決の結果が前述のデコードステージにおいて行った分岐予測結果と異なる場合、正しい命令経路により命令のフェッチが再開される。

【0013】実行ステージは、それぞれの特定の実行ユニットが担当の命令を実行するステージである。分岐ユニット10は、ディスパッチステージにおいて確定できなかった分岐命令を実行し、分岐の成立あるいは不成立を確定する。フェッチ制御ユニット3は、最終的な分岐解決結果と予測結果とを比較し異なる場合、正しい命令経路より命令のフェッチを再開する。

【0014】完了ステージは、完了ユニット11が、先行する命令がアーキテクチャ資源を更新した後に、命令を完了することによりプログラム順を保証するステージである。

【0015】図3は分岐命令の動作を説明する命令列の例を示す図、図4は分岐命令の分岐履歴フィールド6に対応する分岐パターン歴7の例を示す図である。図3に示す命令列の例、図4に示す分岐履歴フィールド6に対応する分岐パターン歴7の例は、本発明の説明においても使用するものであるが、ここでは、まず、図5に示すプロセッサが図3に示すような命令列の分岐命令を用いてループ分岐を実行する場合の処理動作を説明する。

【0016】図3に示す命令列によるプログラムは、フェッチ制御ユニット3により主記憶あるいはキャッシュメモリであるメモリ1よりフェッチアドレス116に従って読み出され、データ線100を介して命令バッファ2に格納され、公知の方法で処理されていく。同時に、BHTは、フェッチアドレス116により検索され、図3の分岐命令に対応するフェッチアドレス116が与えられたとき、対応する分岐履歴フィールド6の値を読み出してデータ線101を介してフェッチ制御ユニット3に転送し、また、前記フィールドをインデックスとして選択回路12により検索した分岐パターン歴7をデータ線102を介してフェッチ制御ユニット3に転送する。

【0017】次のデコードステージにおいて、各命令は、命令デコーダ8によりデコードされ、データ線103を介してディスパッチユニット9に転送される。また、フェッチ制御ユニット3は、データ線101、データ線102より分岐履歴フィールド及び分岐パターン歴が与えられたとき、それらを用いて分岐解決方向を予測する。

【0018】分岐命令の分岐履歴フィールド6に対応する分岐パターン歴7の例を示す図4において、分岐履歴フィールド6のビット数は4ビットであり、従って分岐パターン歴は16種類となる。4ビットの分岐履歴フィールド6の各ビットは、すでに説明したように、過去4回の分岐命令において分岐が成立したか否かを“1”と“0”とにより示す分岐履歴である。また、2ビットの分岐パターン歴7は、“00”が強い分岐不成立、“01”が弱い分岐不成立、“10”が弱い分岐成立、“11”が強い分岐成立を意味している。そして、分岐履歴フィールド6のビット列と分岐パターン歴7の値との対応は、予め決められた対応とされている。

【0019】いま、分岐命令がフェッチされ、BHTが参照されたとき、前記分岐履歴フィールド6の値が“1011”であったとする。このときの分岐パターン歴7の値は、図4に示す例の場合“01”である。この分岐パターン歴の値“01”は、弱い分岐不成立(Not Taken)を意味しており、フェッチ制御ユニット3は、これにより、前記分岐解決方向を弱い分岐不成立(Not Taken)と予測することになる。

【0020】ディスパッチステージにおいて、ディスパッチユニット9は、前記分岐命令をデータ線104を介して分岐ユニット10にディスパッチする。また、フェッチ制御ユニット3は、分岐履歴フィールド6、分岐パターン歴7をデータ線105を介して分岐ユニット10内の予測判定回路13に報告する。

【0021】実行ステージにおいて、分岐ユニット10は、前記分岐命令の解決を分岐解決回路14を用いて行う。そして、分岐ユニット10における予測判定回路13は、前記分岐解決方向と、分岐履歴フィールド及び分岐パターン歴による分岐解決方向の予測とにより、予測が誤ったか否かを判定する。前記分岐命令が分岐成立の場合、予測判定回路13は、予測が弱い分岐不成立であったので、予測が誤ったことを制御線107を介して分岐解決回路14に報告する。このとき、分岐ユニット10は、分岐解決回路14からアドレス変更要求を制御線110を介して発行させ、かつ、オペコード17、分岐命令アドレス18を用いて分岐先アドレス計算器19により分岐先アドレスを計算させる。また、フェッチ制御ユニット3は、制御線111により選択回路16の出力としてアドレス線108を選択させる。

【0022】また、分岐ユニット10は、実行ステージより上のステージであるフェッチ、デコード、ディスパッチの各ステージにある命令を全てキャンセルしなければならない。なぜなら、前述の各ステージで実行中の命令は全て誤った経路に属する命令だからである。従って、この場合、プロセッサは、3サイクルの間無駄な動作をしたことになる。

【0023】また、分岐ユニット10におけるBHT更新回路15は、分岐解決結果によりBHTの更新を行う。分岐パターン歴7は、現在の分岐履歴フィールド6の値により検索される必要があるため、まず、分岐パターン歴7が分岐成立により“01”から“10”に更新される。その後、分岐履歴フィールド6が1ビット左にシフトされ、分岐成立を示す“1”が4ビットの最下位ビットに印加され、最終的に分岐履歴フィールド6は“1011”から“0111”に変更される。これら更新された分岐履歴フィールド6及び分岐パターン歴7のデータ線109を介してBHTに反映される。

【0024】次回、図3の分岐命令がフェッチステージを経由しデコードステージに到達すると、図4により前記分岐命令に対応する分岐履歴フィールド6は“011

1”であり、該分岐履歴フィールドから検索される分岐パターン歴は“00”のためBHTを用いる分岐予測は、再度分岐解決方向を分岐不成立と予測される。しかし、図3に示す命令列における前記分岐命令は、ループを構成するため当該分岐命令が再度実行ステージにおいて分岐解決方向を分岐成立と判定されて、フェッチアドレスを切り替え、誤った経路に属する命令を全てキャンセルすることになる。

【0025】

【発明が解決しようとする課題】前述した従来技術によるプロセッサは、ある分岐命令より以前の別の分岐命令の履歴がBHTの分岐履歴フィールド6及び分岐パターン歴7に存在する場合、それが全て解消されるまで正確な分岐予測を行うことができないという問題点を有している。そして、このようなことは、コンテキストスイッチあるいはBHTの各エントリに対するエイリアシング等により容易に生じてしまう。

【0026】特に、図5により説明したプロセッサのような2段階分岐予測を行う場合、別の分岐命令による履歴が払拭され、予測が正しく行われるためには前記分岐命令を多く実行しなければならないことになる。従って、図5により説明した従来技術によるプロセッサは、分岐予測が正しく行われるようになるまで、分岐命令の実行ごとに3サイクルずつペナルティーが入ることになり大きく性能が低下してしまうという問題点を有している。

【0027】前述したように、分岐命令の解決方向を予測する分岐履歴テーブルを備える従来技術によるプロセッサは、実行する分岐命令より以前の別の分岐命令の履歴が分岐履歴テーブルに存在する場合、その履歴が払拭されるまで分岐履歴テーブルは分岐解決方向を誤って予測するため、パイプライン処理に乱れが発生し、プロセッサの性能が低下するという問題点を有している。

【0028】本発明の目的は、前述した従来技術の問題点を解決し、実行する分岐命令より以前の分岐の履歴が前記分岐履歴テーブルに存在する場合に、これを早期に抹消し、次の分岐命令に対する分岐履歴テーブルによる分岐解決方向を正しく予測することができるようにし、これにより、パイプラインの乱れを軽減することのできるプロセッサを提供することにある。

【0029】

【課題を解決するための手段】本発明によれば前記目的は、分岐命令の解決方向を予測する分岐予測機構と、複数の分岐命令の履歴情報を格納する複数のエントリの分岐履歴テーブルと、分岐命令の分岐解決結果により前記分岐履歴テーブルを更新する分岐履歴テーブル更新手段と、分岐命令解決時に該分岐命令が前記分岐履歴テーブルにより該分岐命令の解決方向が誤って予測されたか否かを判定する判定手段とを備えるプロセッサにおいて、前記分岐命令に指示情報を設け、前記判定手段により分

岐命令の解決方向が誤って予測されたことが判明した場合、前記指示情報の内容により前記分岐履歴テーブルの出力結果に依存することなく前記分岐履歴テーブル内の情報を更新する更新手段を備えることにより達成される。

【0030】また、前記目的は、前記分岐履歴テーブル内の出力結果に基づいて分岐履歴テーブル内の履歴情報を更新する更新手段をさらに備え、前記判定手段により分岐命令の解決方向が誤って予測されたことが判明した場合、分岐解決結果により、前記分岐履歴テーブル内の出力結果に依存することなく分岐履歴テーブル内の履歴情報を更新するか、前記分岐履歴テーブル内の出力結果に基づいて分岐履歴テーブル内の履歴情報を更新するかを前記指示情報により選択することにより達成される。

【0031】

【発明の実施の形態】以下、本発明によるプロセッサの一実施形態を図面により詳細に説明する。

【0032】図1は本発明の一実施形態によるプロセッサの構成を示すブロック、図2は本発明による分岐履歴テーブルの更新方法を説明するフローチャートである。図1において、20はHビット判定回路、21はHビット用BHT更新回路、22は選択回路であり、他の符号は図1の場合と同一である。

【0033】本発明は、分岐解決方向を予測する分岐履歴テーブルの更新方法を指定する指示情報として、分岐命令のオペコードに新たに指示ビット（以下、Hビットという）を設けるものである。Hビットは、コンパイラにより、実行する命令列の解析等より分岐成立、不成立を高い確率で予測できる場合に設定される。一般的に、コンパイラは、図3に示したようなプログラムループにおける分岐命令の分岐成立が高い確率で続くことを予測することが可能であり、Hビットの設定を行うことは容易である。

【0034】Hビットの値による分岐命令解決時のBHT更新の動作は、次のように行われる。すなわち、Hビットの値が“0”のとき、解決する分岐命令の解決結果により前記分岐命令に対応する分岐履歴テーブルの出力結果を用いてBHTが更新される。また、Hビットの値が“1”のとき、前記条件分岐に対応する分岐履歴テーブルの出力結果に依存せず、解決結果により得られた分岐方向にBHTが次回予測するように分岐履歴テーブル結果が更新される。

【0035】以下、図1に示す本発明の一実施形態によるプロセッサが図3に示すような命令列の分岐命令を用いてループ分岐を実行する場合の処理動作を説明する。

【0036】図5により説明した従来技術の場合と同様に、図3に示す命令列によるプログラムは、フェッチ制御ユニット3により主記憶あるいはキャッシュメモリであるメモリ1よりフェッチアドレス116に従って読み出され、データ線100を介して命令バッファ2に格納

され、公知の方法で処理されていく。同時に、BHTは、フェッチアドレス116により検索され、図3の分岐命令に対応するフェッチアドレス116が与えられたとき、対応する分岐履歴フィールド6の値を読み出してデータ線101を介してフェッチ制御ユニット3に転送し、また、前記フィールドをインデクスとして選択回路12により検索した分岐パターン歴7をデータ線102を介してフェッチ制御ユニット3に転送する。

【0037】次のデコードステージにおいて、各命令は、命令デコーダ8によりデコードされ、データ線103を介してディスパッチユニット9に転送される。また、フェッチ制御ユニット3は、データ線101、データ線102より分岐履歴フィールド及び分岐パターン歴が与えられたとき、それらを用いて分岐解決方向を予測する。

【0038】分岐命令の分岐履歴フィールド6に対応する分岐パターン歴7が図4に説明したと同一であると、図3に示す分岐命令がフェッチされ、BHTが参照されたとき、分岐履歴フィールド6の値が“1011”であったとする。このときの分岐パターン歴の値は、図4に示す例の場合“01”であり、従来技術の場合と同様に、フェッチ制御ユニット3は、前記分岐解決方向を弱い分岐不成立(Not Taken)と予測することになる。

【0039】ディスパッチステージにおいて、ディスパッチユニット9は、前記分岐命令及び対応する命令アドレスをデータ線104を介して分岐ユニット10にディスパッチする。また、フェッチ制御ユニット3は、分岐履歴フィールド6、分岐パターン歴7をデータ線105を介して分岐ユニット10内の予測判定回路13に報告する。

【0040】実行ステージにおいて、分岐ユニット10は、前記分岐命令の解決を分岐解決回路14を用いて行う。そして、分岐ユニット10における予測判定回路13は、前記分岐解決方向と、分岐履歴フィールド6及び分岐パターン歴7による分岐解決方向の予測とにより、予測が誤ったか否かを判定する。前記分岐命令が分岐成立の場合、予測判定回路13は、予測が弱い分岐不成立であったので、予測が誤ったことを制御線107を介して分岐解決回路14に報告する。このとき、分岐ユニット10は、分岐解決回路14からアドレス変更要求を制御線110を介して発行させ、かつ、オペコード17、分岐命令アドレス18を用いて分岐先アドレス計算器19により分岐先アドレスを計算させる。また、フェッチ制御ユニット3は、制御線111により選択回路16の出力としてアドレス線108を選択させる。

【0041】また、分岐ユニット10におけるBHT更新回路15は、分岐解決結果によりBHTの更新を行う。この更新は、本発明により新たに設けたHビットにより行われ、以下、本発明の一実施形態による分岐履歴テーブル更新方法を図2示すフローを参照して説明す

る。

【0042】(1) まず、予測判定回路13は、BHTが分岐解決方向の予測を誤ったか否かを判定する(ステップ50)。

【0043】(2) ステップ50で予測が正しいと判定された場合、分岐命令の解決結果に従いBHT更新回路15がBHTを更新する。すなわち、分岐パターン歴は現在の分岐履歴フィールドの値により検索される必要があるため、まず、分岐パターン歴が“01”から“10”に更新され、その後、分岐履歴フィールド情報を“1011”から“0111”にシフトする(ステップ51、52)。

【0044】(3) ステップ50で予測が誤ったと判定された場合、Hビット判定回路20は、分岐ユニット10内の分岐命令のオペコード17よりデータ線112を介して転送されたHビットの値が“1”であるか否かを判定する。Hビットの値が“0”の場合、ステップ51、52の処理によりBHTが更新される(ステップ60)。

【0045】(4) ステップ60でHビット判定回路20がHビットの値が“1”であると報告した場合、分岐解決回路14がデータ線117により分岐成立を報告したか否かが判定される(ステップ70)。

【0046】(5) ステップ70で分岐成立が報告されていた場合、Hビット用BHT更新回路21は、分岐命令に対応する分岐履歴フィールド6の値“1011”を用いずに、前記分岐履歴フィールドの値を“1111”に修正し、さらに、前記分岐履歴フィールドの値“1111”をインデクスとする分岐パターン歴の値を“10”に修正する(ステップ71、72)。

【0047】(6) ステップ70で分岐不成立が報告されていた場合、分岐命令に対応する分岐履歴フィールドの値を“0000”に修正し、さらに、分岐履歴フィールドの値“0000”をインデクスとする分岐パターン歴の値を“01”に修正する(ステップ73、74)。

【0048】(7) 図3に示す分岐命令においてHビットの値が“1”である場合、ステップ70で分岐成立が報告されるので、分岐履歴フィールドは“1111”、分岐パターン歴は“10”となる。このHビット用BHT更新回路21の結果は、制御線115により選択回路22の結果として出力され、データ線109を用いてBHT内の分岐履歴フィールド6、分岐パターン歴7が更新される(ステップ80)。

【0049】前述により、次回前記条件分岐が、デコードステージにおいてBHTにより分岐解決方向を予測する場合、分岐履歴フィールドは“1111”となりこれをインデクスとして検索した分岐パターン歴は“10”を示すことになり分岐解決方向を正しく予測することが

できる。そして、次回前記分岐命令が実行ステージにおいてBHTを更新する場合、前述のステップ50により分岐パターン歴は“11”となり、ステップ51により分岐履歴フィールドは分岐成立のため“1111”となる。従って、以降前記分岐命令は、BHTにより解決方向が正しく予測される。

【0050】

【発明の効果】以上説明したように本発明によれば、分岐命令の分岐解決方向が高い確率で成立し、それが続くことを指示する指示情報を分岐命令に設けることにより、この指示情報によりBHTの出力結果に依らずBHTが次回分岐解決方向を正しく予測するようにBHTを更新することができ、分岐命令が指定するエントリの分岐履歴が別の分岐により汚されている場合にも早期に正しい予測に変更することができ、これにより、プロセッサの処理性能の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態によるプロセッサの構成を示すブロック図である。

【図2】本発明による分岐履歴テーブルの更新方法を説明するフローチャートである。

【図3】分岐命令の動作を説明する命令列の例を示す図である。

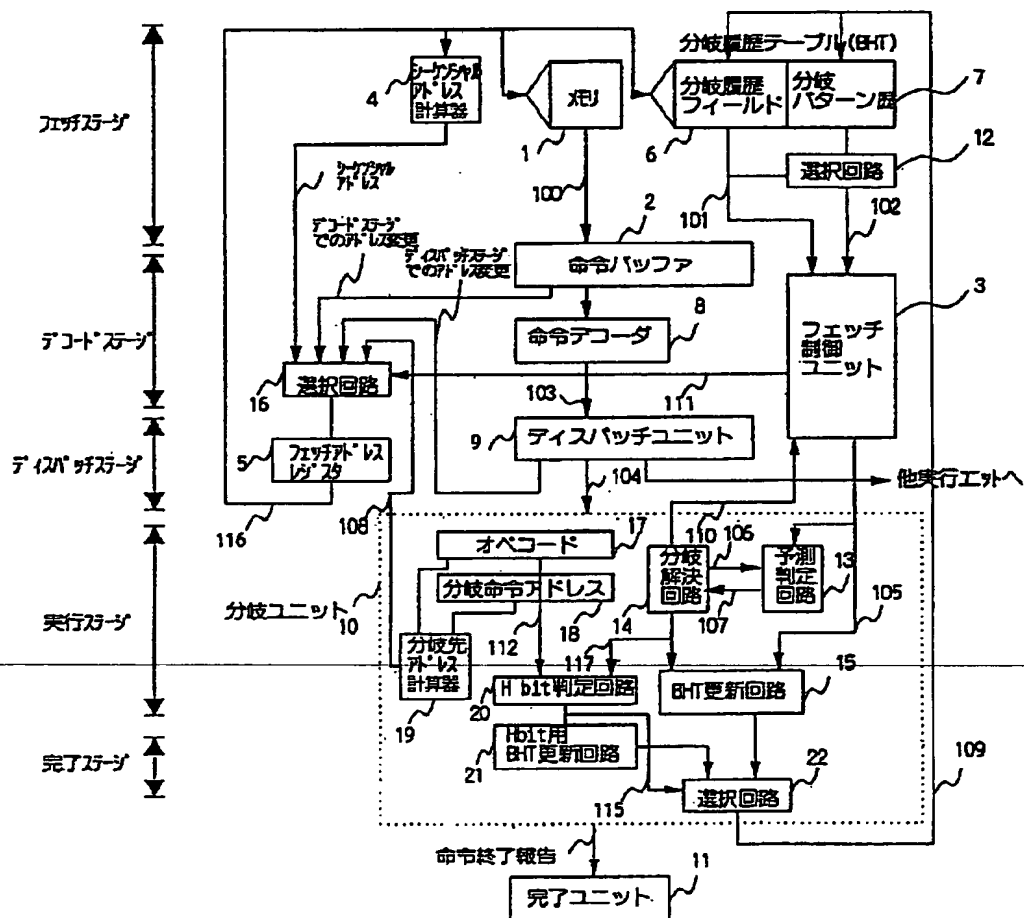
【図4】分岐命令の分岐履歴フィールドに対応する分岐パターン歴の例を示す図である。

【図5】従来技術によるプロセッサの構成を示すブロック図である。

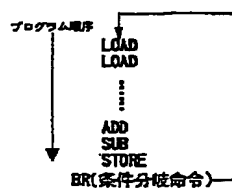
【符号の説明】

- 1 メモリ
- 2 命令バッファ
- 3 フェッチ制御ユニット
- 4 シーケンシャルアドレス計算機
- 5 フェッチアドレスレジスタ
- 6 分岐履歴フィールド
- 7 分岐パターン歴
- 8 命令デコーダ
- 9 ディスパッチユニット
- 10 分岐ユニット
- 11 完了ユニット
- 12、16、22 選択回路
- 13 予測判定回路
- 14 分岐解決回路
- 15 BHT更新回路
- 17 オペコード
- 18 分岐命令アドレス
- 19 分岐先アドレス計算機
- 20 Hビット判定回路
- 21 Hビット用BHT更新回路

【图 1】

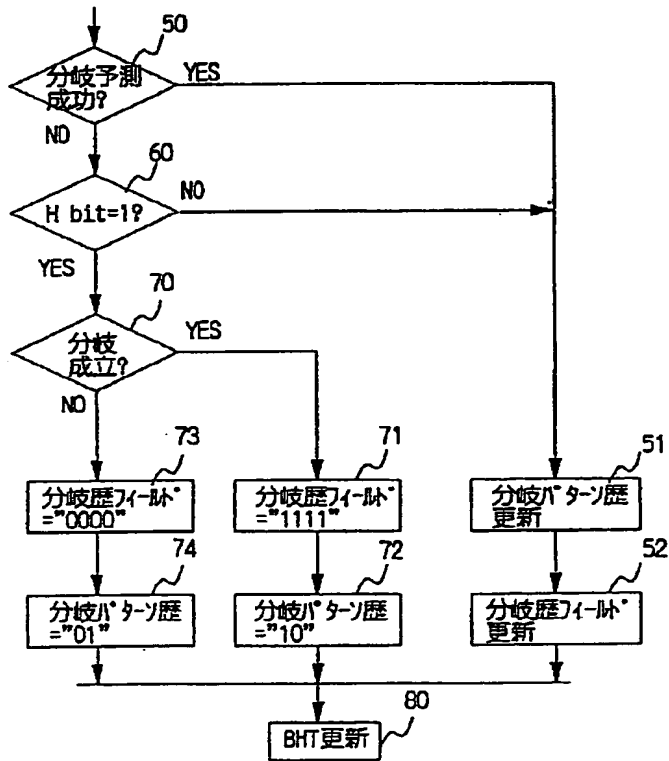


【 附 3 】



【図 2】

【図 2】



【図 4】

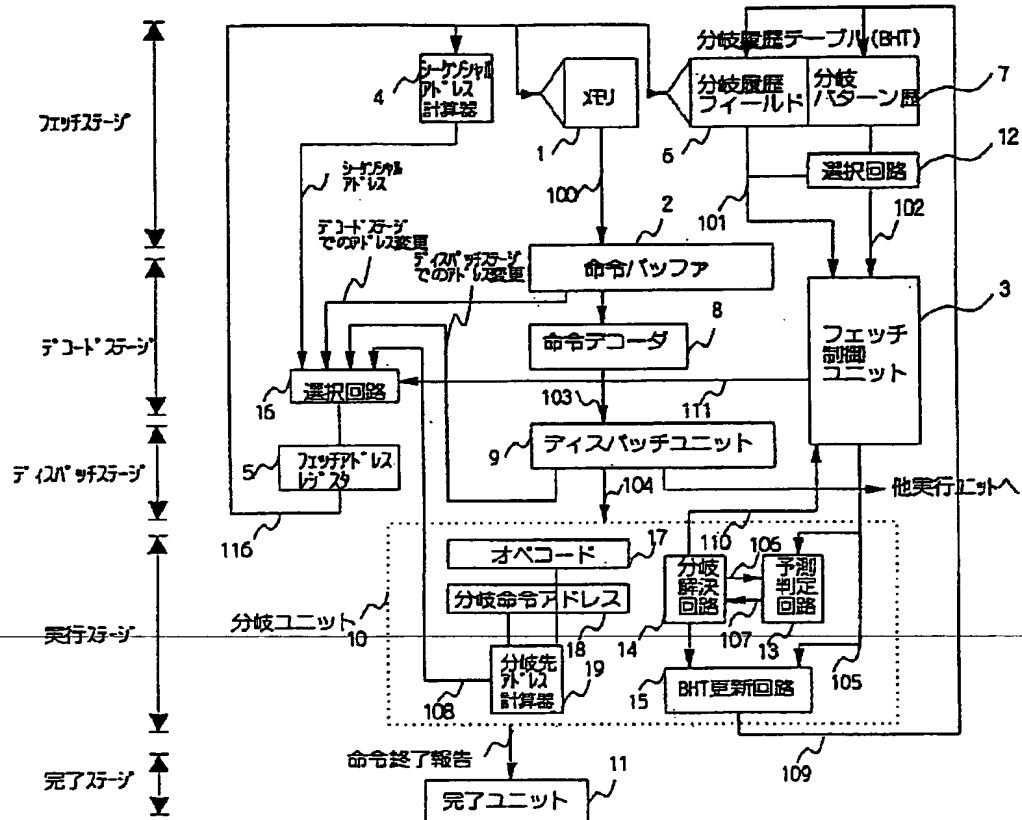
【図 4】

分岐 パターン	分岐 パターン歴
0000	00
0001	01
0010	10
0011	10
0100	01
0101	10
0110	01
0111	00
1000	10
1001	11
1010	10
1011	01
1100	11
1101	00
1110	01
1111	01

分岐履歴
フィールド
検索

【図5】

【図5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.